

【11】證書號數：I324346

【45】公告日：中華民國 99 (2010) 年 05 月 01 日

【51】Int. Cl. : G11C15/00 (2006.01) H04L12/56 (2006.01)

發明

全 8 頁

【54】名稱：蝴蝶式比較線結構及其搜尋方法

【21】申請案號：096102126 【22】申請日：中華民國 96 (2007) 年 01 月 19 日

【11】公開編號：200832409 【43】公開日期：中華民國 97 (2008) 年 08 月 01 日

【72】發明人：張書瑋 (TW)；黃威 (TW) HWANG, WEI；黃柏蒼 (TW)

【71】申請人：國立交通大學 NATIONAL CHIAO-TUNG  
UNIVERSITY

新竹市東區大學路 1001 號

【74】代理人：林火泉

【56】參考文獻：

US 5517441 US 6191970B1

US 6430074B1 US 6452822B1

US 6661687B1 US 6804134B1

US 2003/0185087A1

Jinn-ShyanWanget, al. 「TCAMforIP-AddressLookupUsingTree-styleAND-typeMatchLinesandSegmentedSearchLines」,Solid-StateCircuitsConference,6-9Feb2006,p577-586.

Jinn-ShyanWanget, al. 「AnAND-typematch-lineschemeforenergy-efficientcontentaddressablememories」Solid-StateCircuitsConference,10-10Feb.2005,p.464-610Vol.1

## [57]申請專利範圍

1. 一種蝴蝶式比較線結構，其係應用於內容可定址記憶體中，該結構包括：複數記憶單元，其係由該內容可定址記憶體中劃分出；至少一組階層式比較線，其係串接該等記憶單元，每一相鄰之該等記憶單元再交錯連接；以及當任一層之訊號輸入後，如其中的一個記憶單元之比對結果為不匹配，則產生一關閉訊號給下一層的記憶單元，以停止比對。
2. 如申請專利範圍第 1 項所述之蝴蝶式比較線結構，其中該蝴蝶式比較線可應用於路由器上。
3. 如申請專利範圍第 1 項所述之蝴蝶式比較線結構，其中該階層式比較線之輸出端連接一互斥或邏輯閘維持器，該互斥或邏輯閘維持器提供動態電路抗雜訊的功能、同時減少比對時間及功率消耗，以達到最佳的能源效益。
4. 如申請專利範圍第 3 項所述之蝴蝶式比較線結構，更包括一或閘反相器連接於該互斥或邏輯閘維持器的輸出端。
5. 如申請專利範圍第 4 項所述之蝴蝶式比較線結構，其中該或閘反相器可連接至少一以上之該互斥或邏輯閘維持器。
6. 如申請專利範圍第 1 項所述之蝴蝶式比較線結構，其中該等記憶單元的位元數係  $2N$  位元，且  $N$  為一正整數。
7. 如申請專利範圍第 6 項所述之蝴蝶式比較線結構，其中該等記憶單元係 4 位元、6 位元或 8 位元組成。

(2)

8. 如申請專利範圍第 1 項所述之蝴蝶式比較線結構，其中該組階層式比較線係 2 條比較線。
9. 如申請專利範圍第 1 項所述之蝴蝶式比較線結構，其中當該組階層式比較線之比較線係 4 條時，該記憶單元交錯連接方式係：第一層記憶單元與第二層記憶單元的連接方式係將第一比較線與第二比較線之記憶單元相互搭接，第三比較線與第四比較線之記憶單元相互搭接，第二層記憶單元與第三層記憶單元的連接方式係將第一比較線與第三比較線、第二比較線與第四比較線之記憶單元相互搭接，以第一層記憶單元與第二層記憶單元、第二層記憶單元與第三層記憶單元的搭接方式為週期，繼續搭接後面數層記憶單元，直到最後一層記憶單元與該互斥或邏輯閘維持器連接為止。
10. 一種利用蝴蝶式比較線之搜尋方法，其係應用於內容可定址記憶體中，其係包含下列步驟：由該內容可定址記憶體中劃分出複數記憶單元；利用至少一組階層式比較線串接該等記憶單元，該階層式比較線上之記憶單元再交錯連接；訊號傳入第一層之該等記憶單元，判斷比對結果，若比對結果匹配，繼續比對下一層之該等記憶單元，如比對結果一直匹配，則持續比對直到比對完最後一層之該等記憶單元；以及若有任一該記憶單元比對結果不匹配，則結束比對，因此比對結果失敗時，將會有較多的記憶單元被關閉不進行比對。
11. 如申請專利範圍第 10 項所述之利用蝴蝶式比較線之搜尋方法，其中該蝴蝶式比較線可應用於路由器上。
12. 如申請專利範圍第 10 項所述之利用蝴蝶式比較線之搜尋方法，其中該階層式比較線之輸出端連接一互斥或邏輯閘維持器，提供動態電路抗雜訊的功能、同時減少比對時間及功率消耗，以達到最佳的能源效益。
13. 如申請專利範圍第 12 項所述之利用蝴蝶式比較線之搜尋方法，其中該互斥或邏輯閘維持器的輸出端係連接一或閘反相器。
14. 如申請專利範圍第 13 項所述之利用蝴蝶式比較線之搜尋方法，其中該或閘反相器可連接至少一以上之該互斥或邏輯閘維持器。
15. 如申請專利範圍第 10 項所述之利用蝴蝶式比較線之搜尋方法，其中該等記憶單元的位元數係  $2N$  位元，且  $N$  為一正整數。
16. 如申請專利範圍第 15 項所述之利用蝴蝶式比較線之搜尋方法，其中該等記憶單元係 4 位元、6 位元或 8 位元組成。
17. 如申請專利範圍第 10 項所述之利用蝴蝶式比較線之搜尋方法，其中該組階層式比較線係 2 條比較線。
18. 如申請專利範圍第 10 項所述之利用蝴蝶式比較線之搜尋方法，其中當該組階層式比較線之比較線係 4 條時，該記憶單元交錯連接方式係：第一層記憶單元與第二層記憶單元的連接方式係將第一比較線與第二比較線之記憶單元相互搭接，第三比較線與第四比較線之記憶單元相互搭接，第二層記憶單元與第三層記憶單元的連接方式係將第一比較線與第三比較線、第二比較線與第四比較線之記憶單元相互搭接，以第一層記憶單元與第二層記憶單元、第二層記憶單元與第三層記憶單元的搭接方式為週期，繼續搭接後面數層記憶單元，直到最後一層記憶單元與該互斥或邏輯閘維持器連接為止。

#### 圖式簡單說明

第一圖係本發明之第一實施例之蝴蝶式連線示意圖。

第一 A 圖係本發明之第一實施例於比對時之示意圖。

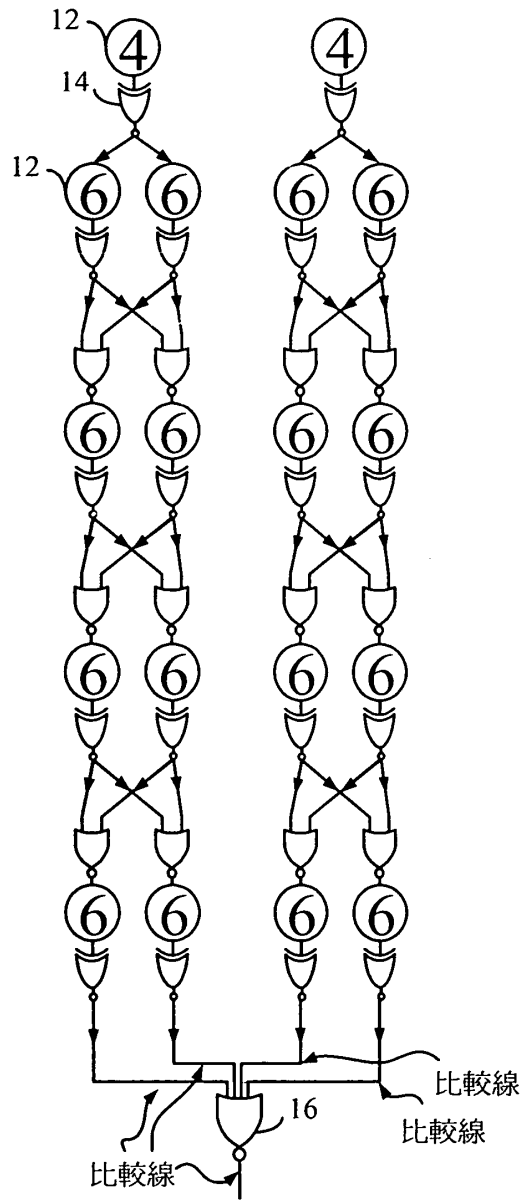
第一 B 圖係本發明之第一實施例於比對時之示意圖。

第二圖係本發明之電路架構示意圖。

(3)

第三圖係本發明之第二實施例之蝴蝶式連線示意圖。

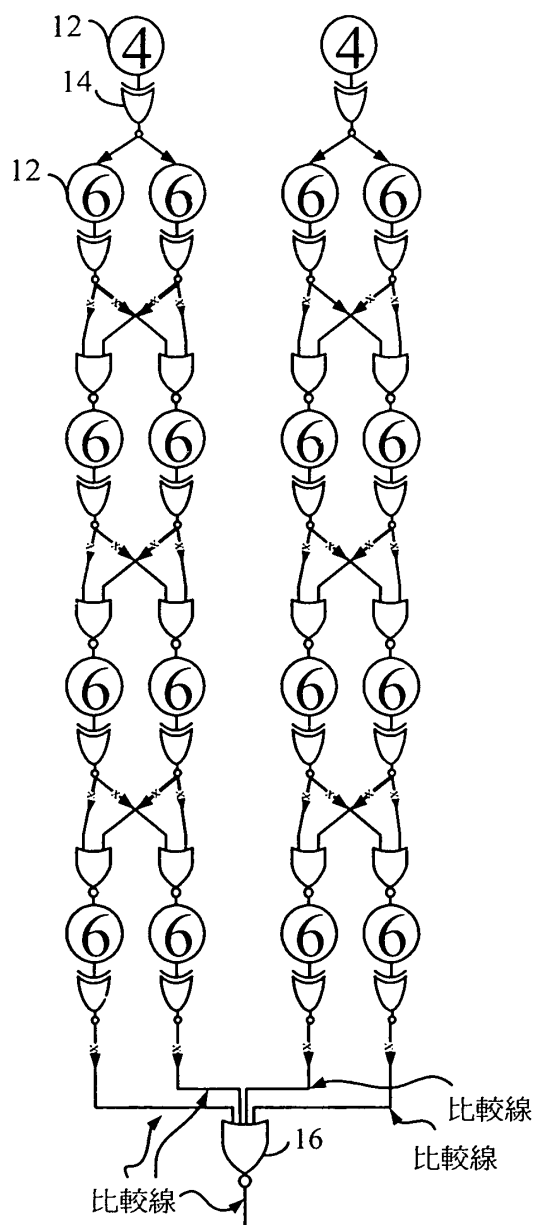
第四圖係本發明之第三實施例之蝴蝶式連線示意圖。



第一圖

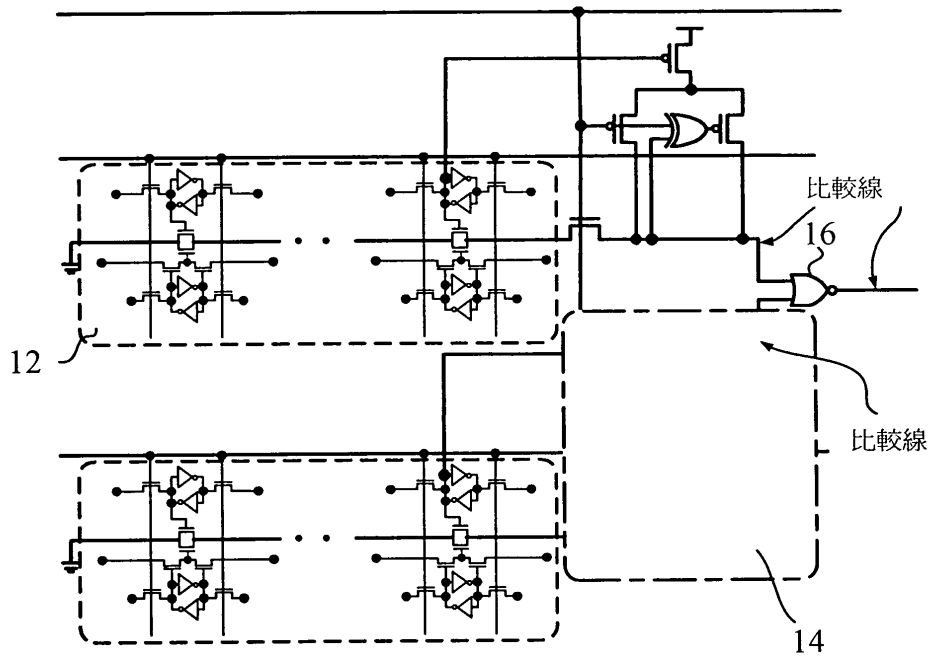


(5)



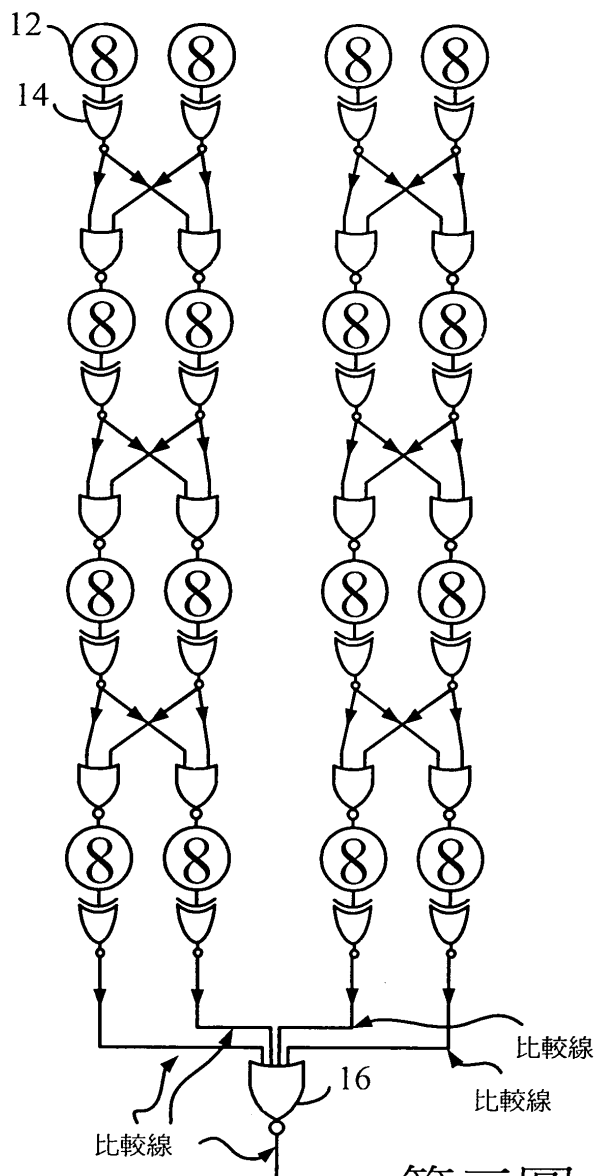
第一B圖

(6)



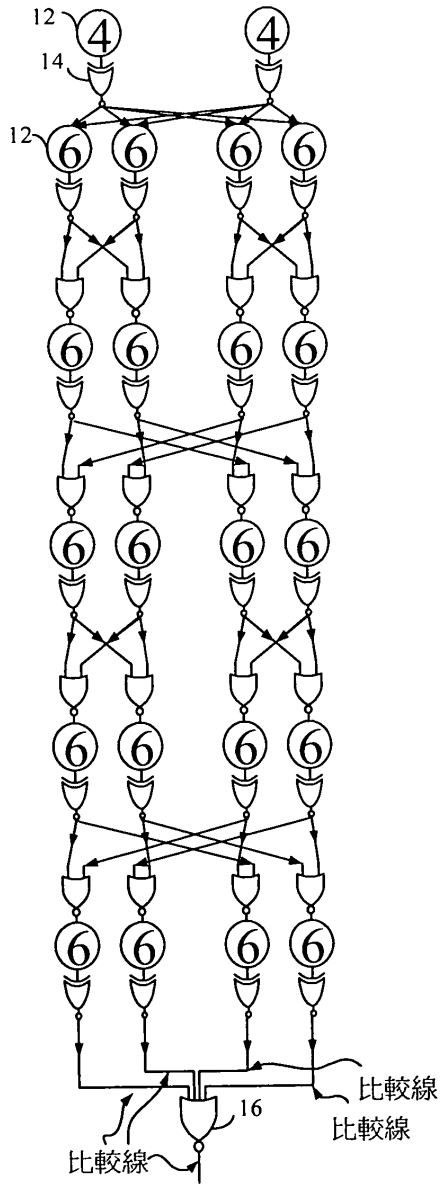
第二圖

(7)



第三圖

(8)



第四圖